

Viacjadrová architektúra zameraná na akceleráciu výpočtov

Liberios Vokorokos¹, Eva Chovancová¹

¹ Katedra počítačov a informatiky, Fakulta elektrotechniky a informatiky
Technická univerzita v Košiciach, Letná 9, 04001 Košice, Slovenská republika

{liberios.vokorokos, eva.chovancova}@tuke.sk

Abstrakt: Viacjadrové procesory je možné navrhnuť ako akcelerátor časovo-náročných výpočtov. Výskum v práci je zameraný na návrh architektúry urýchľujúcej výpočty v oblasti počítačového videnia. Práca poukazuje na možnosti návrhu viacjadrovej architektúry, pričom architektúra navrhovaného špecializovaného procesora je predstaviteľom Harvardskej architektúry. Navrhnutá architektúra umožňuje na základe paralelizácie výpočtov urýchliť časovo-náročné výpočty.

Kľúčová slova: viacjadrová architektúra, prahovanie, obraz, procesor, čip, mapovanie, paralelizácia

Title: Acceleration based on multicore architecture

Abstract: Multicore processors can be designed also as accelerator of time-consuming calculations. This work is focused on architecture design, which can accelerate computing in computer vision. In this paper are shown design possibilities for multicore architectures, whereby the specialized processor is proposed as representative of Harvard architecture. The proposed architecture based on computing parallelization allows accelerating the time-consuming calculations in computer vision.

Keywords: multicore architecture, thresholding, image, processor, chip, mapping, parallelization

1 ÚVOD

Výpočtová technika a informačné systémy sa stali neodmysliteľnou súčasťou každodenného života, či už v oblasti výskumu, kde je potrebný vyšší výkon z dôvodu náročných výpočtov, alebo aj bežného života v domácnosti. V dnešnej dobe je správa informácií s ich narastajúcim množstvom stále zložitejšia, potreby vedeckého výskumu s vývojom nových technológií stále narastajú, a preto je stále aktuálna požiadavka na zvyšovanie výkonu výpočtových systémov.

Zvyšovanie výkonov u jedno procesorových počítačov, ktoré sú vo väčšine predstaviteľmi von Neumanovej architektúry, sa realizuje zvyšovaním výkonu jednotlivých komponentov počítača, pričom je potrebné zároveň zväčšovanie pamäte. Tento spôsob zvyšovania výkonu má však za dôsledok zvyšovanie nákladov na vývoj jednotlivých komponentov, a zároveň táto metóda má aj svoje fyzikálne hranice. Trend zvyšovania rýchlosti jednotlivých komponentov procesorov za účelom získania vyššieho výkonu je cestou minulosti, nakoľko sa viacjadrové procesory stávajú novým smerovaním vývoja. Použitie viacjadrových procesorov na jednom čipe je výhodou hrubej sily spracovania, avšak nič nie je zadarmo. [2][3][10]

Práca sa zaoberá analýzou problematiky viacjadrových architektúr, na základe ktorej navrhuje architektúru špecializovaného viacjadrového procesora pre akceleráciu výpočtov v oblasti počítačového videnia. Táto práca bola podporovaná Agentúrou na podporu výskumu a vývoja na základe zmluvy č. APVV-0008-10 a KEGA 008TUKE-4/2013 s názvom „Mikrolearningové prostredie pre vzdelávanie odborníkov v oblasti informačnej bezpečnosti“.

2 KONCEPCIE

Pri návrhu špecializovanej architektúry je dôležitá aj voľba koncepcie. Základné koncepcie, ktoré sa brali do úvahy pri návrhu architektúry sú:

- Harvardská koncepcia
- Princetonská koncepcia

Princetonská koncepcia má len jednu spoločnú pamäť pre dáta a inštrukcie. Harvardská koncepcia na rozdiel od princetonskej obsahuje dve samostatné pamäte pre dáta a inštrukcie.

2.1 HARVARDSKÁ KONCEPCIA

Harvardská koncepcia je počítačová architektúra s fyzicky separovaným úložným priestorom a signálovou cestou pre inštrukcie a údaje, čo znamená že má oddelený adresný priestor pre program a pre dáta. Dnes väčšina procesorov má implementovanú separátnu signálovú cestu z dôvodu výkonu, ale v spojení s modifikovanou harvardskou architektúrou, ktorá umožňuje podporiť úlohy ako zavádzanie programu z disku vo forme dát a následne ho vykonať. V harvardskej architektúre nie je potrebné, aby pamäte zdieľali vlastnosti, keďže časovanie, technológia implementácie a adresná štruktúra pamäte sa môžu líšiť. [4]

V niektorých systémoch môžu byť inštrukcie uložené v pamäti len na čítanie, keďže pamäťové údaje požadujú pamäť na čítanie a aj zápis. V niektorých systémoch je pamäť pre inštrukcie väčšia ako pamäť pre dáta, keďže adresa inštrukcie je širšia ako adresa dát.[3][4]

2.2 PRINCETONSKÁ KONCEPCIA

Jedným z najznámejších predstaviteľov Princetonskej koncepcie je von Neumanova architektúra, ktorá je jednoduchšia ako novšia Harvardská architektúra. Von Neumanova architektúra na rozdiel od Harvardskej obsahuje len jednu pamäť, ktorá slúži pre ukladanie dát a aj inštrukcii, čo znamená že obsahuje jeden spoločný súbor adres pre dáta a inštrukcie.

Z toho vyplýva, že je potrebné zabezpečiť, aby procesor neinterpretoval údaj ako inštrukciu a naopak. Prístup procesora k pamäti je totiž rovnaký, či sprístupňuje inštrukciu alebo údaj – používajú sa tie isté adresné, údajové i riadiace signály. Takéto usporiadanie pamäte potom umožňuje používať aj samo modifikujúce sa programy. [3][4]

Von Neumanova architektúra je systém s možnosťou uloženia programu do operačnej pamäte, pričom inštrukcie a dáta sú uložené v pamäti typu RAM, ktorá je určená pre čítanie a zápis. Vo Neumanovej architektúre CPU môže buď čítať inštrukcie alebo čítať/zapisovať dáta z alebo do pamäte. Obidve operácie sa nemôžu vykonať súbežne, keďže dáta a inštrukcie využívajú spoločnú pamäť. V Harvardskej architektúre sa môže pracovať súbežne s inštrukciami a dátami, keďže majú samostatne pamäte. Z uvedeného dôvodu je Harvardská architektúra rýchlejšia. [4]

3 VIACJADROVÁ ARCHITEKTÚRA

Vysoko výkonné procesorové architektúry smerujú k prevedeniu, ktoré sú reprezentované viacerými procesorovými jadrami na jednom čipe. Tieto architektúry majú potenciál poskytnúť vyššiu maximálnu priepustnosť, jednoduchší návrh škálovateľnosti a vyšší výkon než monolitické architektúry. Súčasným trendom vývoja technológií sú aj nové typy procesorov, ktoré by mali pokryť potrebu vyššieho výkonu bez zvýšenia spotreby energie a tepla. Viacjadrové architektúry procesorov umožňujú zvýšenie výkonu a zníženie tepla integráciou dvoch alebo viacerých procesorových jadier v jednom procesorovom puzdre.[12]

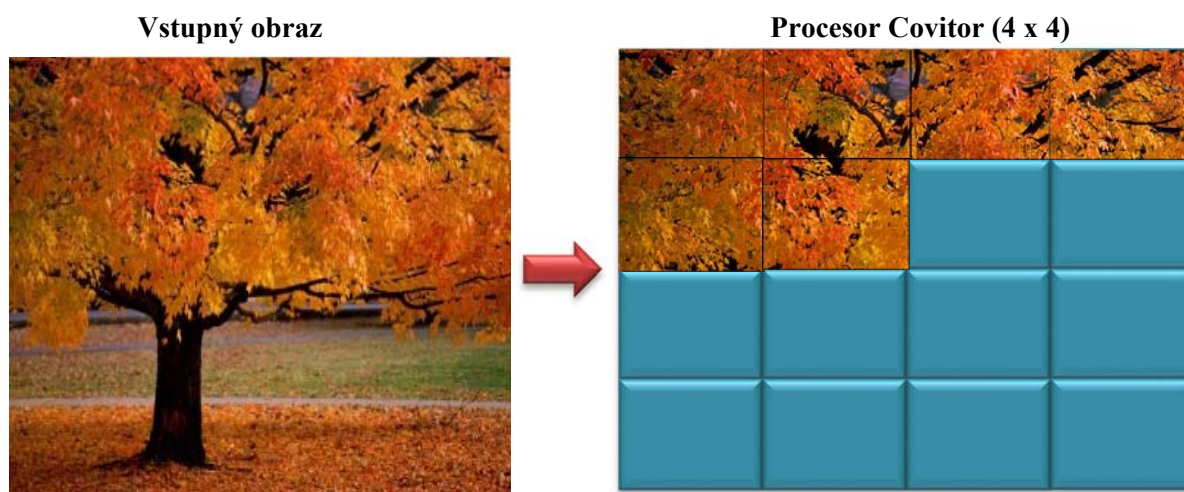
Stretávame sa s procesormi, ktoré majú integrované veľké množstvo jadier. Pri týchto procesoroch je najlogickejšie usporiadanie v dimenzionálnej mriežke, a preto sú využívané control flow, ako aj dáta flow architektúry jadier. Na základe definície procesora v predchádzajúcej kapitole, vieme viacjadrový procesor popísať ako integrovaný obvod, na ktorý sú pripojené dva alebo viaceré procesory, ktoré sa nazývajú aj jadrá. Takýmto zapojením je možné zvýšiť výkon, znížiť spotrebu energie a efektívnejšie simultánne spracovanie úloh, čo prinieslo rastúci trend v oblasti viacjadrových procesorov, keďže jednojadrové procesory dosiahli svoje limity z hľadiska výkonu a rýchlosti. [12][13]

4 NÁVRH ŠPECIALIZOVANEJ ARCHITEKTÚRY

Návrh architektúry špecializovaného procesora vychádza z analýzy v oblasti viacjadrových procesorov a počítačového videnia. Vzhľadom na napredujúci vývoj viacjadrových procesorov a počítačové videnie, v ktorom sa využívajú algoritmy umožňujúce ich paralelizáciu, je vhodné využiť viacjadrový procesor práve na akceleráciu výpočtov v oblasti počítačového videnia. Aj keď je možné využiť v oblasti počítačového videnia aj univerzálne viacjadrové procesory, tak špecializovaný viacjadrový procesor umožňuje vyšší výkon a rýchlejšie spracovanie dát, vzhľadom na to, že jeho architektúra bola navrhnutá práve na spracovanie algoritmov z tejto oblasti. [3]

4.1 MAPOVANIE OBRAZU

Navrhnutý špecializovaný procesor umožňuje niekoľko prístupov k mapovaniu obrazu, ktoré sa líšia v rozdelení digitálneho obrazu, ale aj počtom využitých jadier.



Obr. 1. Mapovanie obrazu o rozmere 256 x 256 pixelov.

Na obrázku (Obr. 1) je znázornené mapovanie digitálneho obrazu na jednotlivé jadrá procesora, v prípade ak veľkosť digitálneho obrazu je 256 x 256 pixlov, čo je maximálna veľkosť spracovaného obrazu. Pri tomto prístupe mapovania sa obraz rozdelí na rovnako veľké časti, ktoré zodpovedajú presne veľkosti pamäte jedného jadra. Pokiaľ je obraz menší, tak je možné využiť dva spôsoby prístupu mapovania obrazu. Prvý spôsob využíva všetky jadrá, tým pádom sú všetky jadrá rovnomerne vytážené, ale nevyužije celú pamäť jadra. [5]

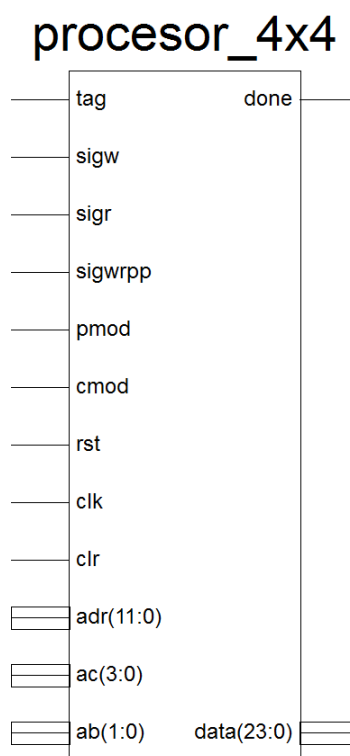
Druhý spôsob, ktorý je možné využiť pri menšom obraze je nerovnomerný, avšak je využitá celá pamäť jadra, avšak tento prístup mapovania nie je efektívny, keďže časovo spracováva ten istý obraz dlhšie ako rovnomerný prístup. Ako bolo už vyššie uvedené, tak vstupný obraz môže mať maximálny rozmer 256 x 256 pixelov, a síce z toho dôvodu, že k dispozícii máme 16 jadier s možnosťou využitia kapacity pamäte o veľkosti 256 bodov × 256 bodov × 3 bajty (RGB) × 4 banky = 786432 bajtov. Obraz je ukladaný do samostatných pamäťových bánk, čo umožňuje načítať naraz 4 samostatné obrazy a následne ich postupne spracovať. [10][11]

5 ŠPECIALIZOVANÝ PROCESOR COVITOR

Navrhnutý procesor Covitor je viacjadrový procesor so 16-timi jadrami, ktorý je špecializovaný na spracovanie digitálneho obrazu na základe inštrukčnej sady popísanej v predchádzajúcej kapitole.

Navrhnutý procesor je predstaviteľom harvardskej architektúry, teda má samostatnú pamäť pre dáta a samostatnú pamäť pre inštrukcie. Vzhľadom na dve pamäte je prístup k dátam a inštrukciám rýchlejší, a taktiež sa zabráni chybnému načítaniu údajov.

Jadrá procesora Covitor sú usporiadané vo forme mriežky 4x4. Štruktúrna schéma procesora Covitor je znázornená na nasledujúcom obrázku (Obr. 2). Všetky porty procesora Covitor sú popísané pomocou tabuľky.



Obr. 2. 16-jadrový procesor Covitor.

Procesor operuje v dvoch módoch. Módy *pmod* a *cmod* slúžia na nastavenie systému do programovacieho alebo výpočtového módu. V programovacom móde sa načítavajú vstupné hodnoty do registrov/pamäte a časovanie systému. Potom sa prestaví systém do výpočtového módu, kedy sa spustia výpočty na základe programu, ktorého súčasťou sú inštrukcie vykonávané nad jednotlivými dátami.

| Port | Typ portu | Veľkosť (bit) | Popis |
|----------------|--------------|------------------|---|
| adr | In | 12 | Adresa pamäte |
| ac | In | 4 | Adresa jadra |
| ab | In | 2 | Adresa banky |
| tag | In | 1 | Príznak pre adresovú pamäť |
| sigr | In | 1 | Určuje kedy je povolené čítanie z registra/pamäte |
| sigw | In | 1 | Určuje kedy je povolený zápis do registra/pamäte |
| sigwrpp | In | 1 | Určuje kedy je povolený zápis do registra RPP |
| pmod | In | 1 | Zavádzací mód |
| cmod | In | 1 | Výpočtový mód |
| rst | In | 1 | Resetovanie (Reset) |
| clk | In | 1 | Hodiny (Clock) |
| clr | In | 1 | Vyčistenie (Clear) |
| done | Out | 1 | Ukončenie cyklu, aby sa mohol začať nový cyklus |
| data | InOut | 24 | Výstupné dáta po spracovaní obrazu |

Tab. 1. Popis portov procesora Covitor.

Done slúži na signalizáciu ukončenia cyklu spracovania údajov, ktoré sú umiestnené na konkrétnej adrese v pamäti. Pokiaľ príde na port done hodnota jedna, tak cyklus bol ukončený a preto sa adresa nastaví na ďalšiu adresu v pamäti a spustí sa ďalší cyklus výpočtov. Procesor Covitor obsahuje dva nižšie uvedené komponenty, ktorých prepojenie je definované pomocou mapovania. Tieto komponenty sú:

- Jadro (Core)
- Dekodér (Decoder)

Komponent *Core* predstavuje jedno univerzálne jadro procesora, ktoré je následne mapované na 16 jadier a komponent *Decoder* slúži na adresáciu jadier.

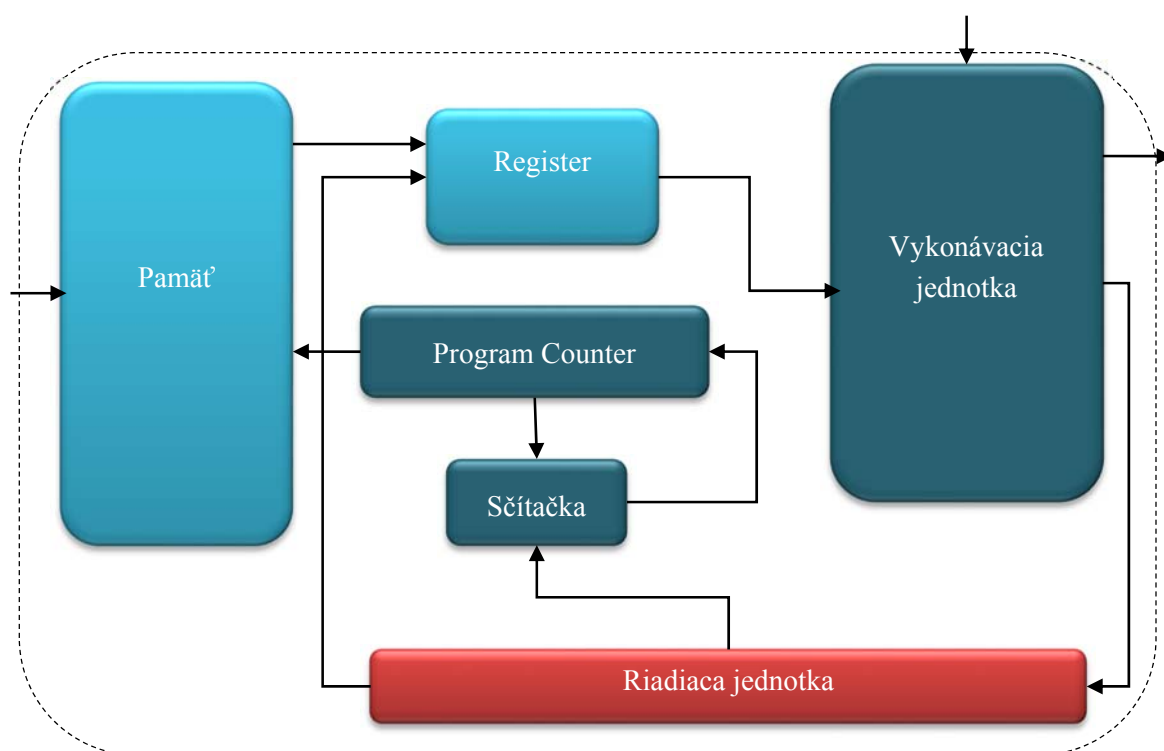
5.1 PROCESOROVÉ JADRO

Procesor Covitor je navrhnutý ako viacjadrový procesor so 16 jadrami, ktorého architektúra patrí medzi predstaviteľov harvardskej architektúry. Predstaviteľom tejto architektúry je práve preto, že je navrhnutý so samostatnou pamäťou pre inštrukcie a samostatnou pamäťou pre dáta. Pamäť pre inštrukcie je umiestnená priamo v jadre, pričom pamäť pre dáta, ktorá je zároveň väčšia, je vnorená do vykonávacej jednotky. Pri zapojení procesora prostredníctvom 16-tich jadier získame zvýšený výkon potrebný pre rýchlejšie spracovanie obrazu. Čas potrebný na spracovanie obrazu vieme vyjadriť prostredníctvom vzorca:

$$t_1 = \frac{m}{n} \quad (1)$$

V uvedenom vyjadrení m predstavuje počet pixelov, ktoré tvoria digitálny obraz pripravený na spracovanie a n predstavuje počet jadier, ktoré ich spracujú. Zo vzorca vyplýva, že čím väčší počet jadier použijeme tým nižší bude čas potrebný na spracovanie toho istého počtu pixelov. Schematické zapojenie jedného jadra je znázornené na nasledujúcom obrázku (Obr. 3).

Jadro procesora Covitor pozostáva z pamäte, registra F, počítadla (program counter -PC), sčítačky, riadiacej jednotky a vykonávacej jednotky, pričom vykonávacia jednotka zahrňuje v sebe aritmeticko-logickú jednotku.



Obr. 3. Schematické zapojenie jadra.

Digitalizovaný vstupný obraz sa načíta do pamäte, ktorá je umiestnená vo vykonávacej jednotke a program (inštrukcie) sa načítajú do pamäte umiestnenej v jadre. Spracovanie obrazu sa následne vykonáva v štyroch fázach, ktoré sú riadené riadiacou jednotkou.

V prvej fáze sa načíta inštrukcia do registra F a následne v druhej fáze sa vyšle štartovací signál, ktorý spustí spracovanie obrazu vo vykonávacej jednotke. V tretej fáze sa spustí vykonávacia jednotka, v ktorej sa vykoná požadovaná inštrukcia nad vstupným obrazom. V poslednej, štvrtej, fáze sa vyšle ukončovací signál, ktorý ukončí vykonávanie inštrukcie nad daným vstupným obrazom.

5.1.1 RIADIACA JEDNOTKA

Riadiaca jednotka pracuje na princípe konečného automatu ktorý pozostáva zo štyroch stavov popisujúcich spracovanie obrazu. Prechod medzi jednotlivými stavmi je zabezpečený riadiacou

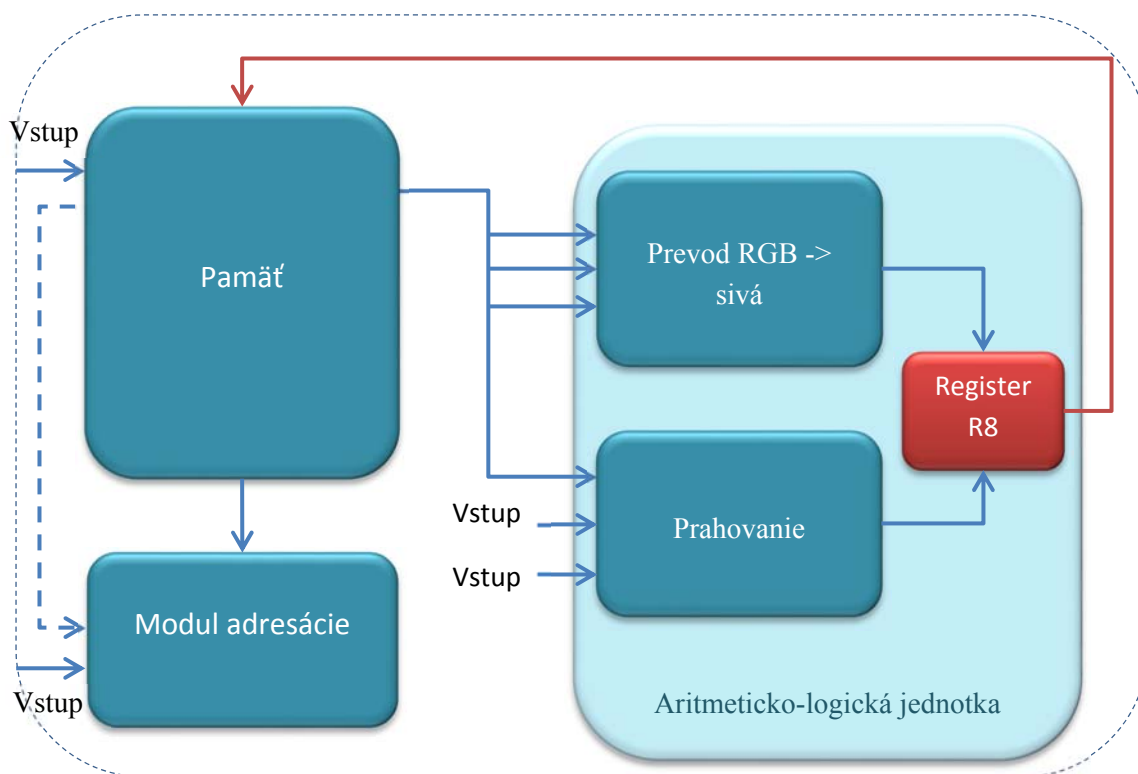
logikou, ktorá berie do úvahy signál riadiacej jednotky a podmienky, ktoré musia byť splnené, aby sa prechody mohli uskutočniť.

Aby nastal prechod medzi stavmi, musí sa automat nachádzať v predchádzajúcom stave a zároveň musí byť nastavený programovací mód. Pre spustenie spracovania obrazu, ktorý zodpovedá stavu S3, musí ešte okrem uvedených podmienok prísť na vstup aj štartovací signál. Pri prechode do stavu S4 je potrebné, aby prišiel na vstup signál done, ktorý hovorí o ukončení spracovania obrazu.

5.1.2 VYKONÁVACIA JEDNOTKA

Vykonávacia jednotka je modul, ktorý je súčasťou jadra procesora a jej hlavnou úlohou je vykonanie inštrukcie nad vstupnými údajmi, ktoré má načítané vo svojej vnútornej pamäti. Zároveň obsahuje aj čiastkový logický obvod, ktorý umožňuje kontrolovať ukončenie spracovania obrazu. Vykonávacia jednotka je realizovaná na základe logického obvodu uvedeného na obrázku (Obr.4).

Vykonávacia jednotka je zodpovedná za spracovanie obrazu prostredníctvom prahovania, prípadne prevodu digitálneho obrazu z RGB do odtieňov sivej. Spustenie spracovania obrazu je riadenie štartovacím signálom, ktorý signalizuje začiatok spracovania.



Obr. 4. Schematické zapojenie vykonávacej jednotky.

Výsledok spracovania digitálneho obrazu sa uloží do výstupného registra R8, do ktorého sa ukladajú výsledky pri prahovaní a aj pri prevode do odtieňov sivej. Pre zabezpečenie správnosti zapísania údajov do registra R8, bol vytvorený súbor pravidiel, ktorý určuje, kedy a ktoré výsledky sa majú zapísať do registra R8. Dôležitou súčasťou vykonávacej jednotky je modul adresácie, ktorý má za

úlohu určiť adresu čítania údajov a zároveň po spracovaní údajov z poslednej adresy ukončí spracovanie.

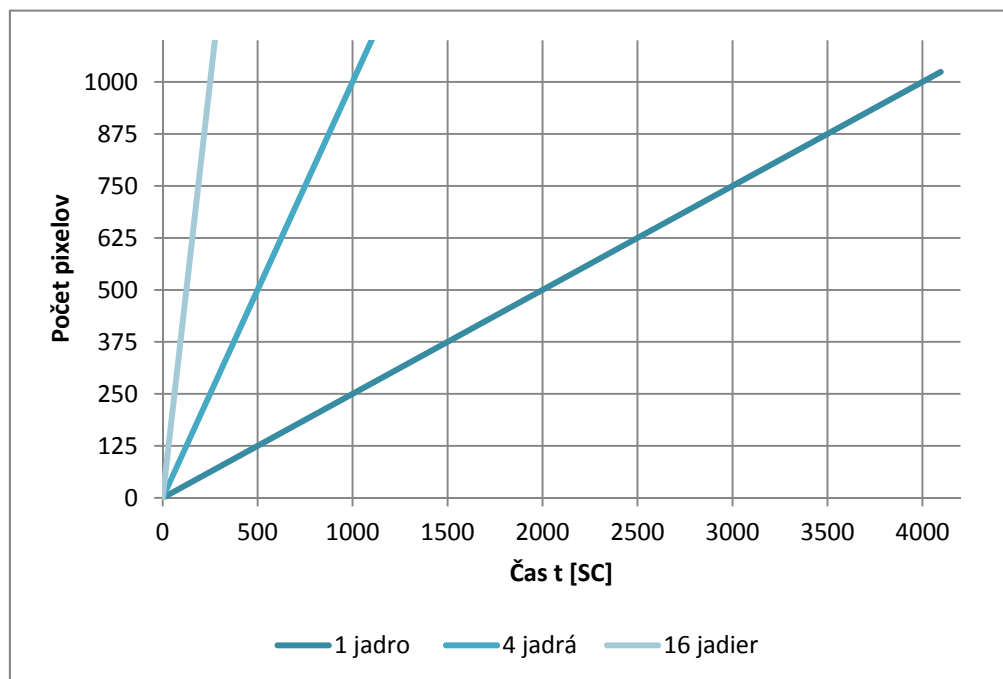
5.1.3 VYKONÁVACIA JEDNOTKA

Súčasťou vykonávacej jednotky je aj aritmeticko-logická jednotka, ktorá zodpovedá za vykonanie jednotlivých inštrukcií nad požadovanými údajmi, pričom výstup jednotlivých operácií sa ukladá do výstupného registra R8. Taktiež súčasťou aritmeticko-logickej jednotky je aj dekodér, ktorý slúži na dekódovanie požadovanej inštrukcie, na základe ktorej sa určí, aká operácia sa nad danými údajmi má vykonať. Ďalšou súčasťou aritmeticko-logickej jednotky sú riadiace signály, ktoré majú za úlohu odštartovanie jednotlivých inštrukcií. Tieto inštrukcie sa vykonávajú na základe dekódovania inštrukcie.

Aritmeticko-logická jednotka sa dá rozdeliť na dva čiastkové logické obvody, pričom jeden má za úlohu prevod vstupného digitálneho obrazu vo formáte RGB do formátu odtieňov sivej. Druhý čiastkový logický obvod zodpovedá za spracovanie obrazu prostredníctvom jednotlivých typov prahovania obrazu.

6 SIMULÁCIA

Jednou možnosťou ako urýchliť spracovanie obrazu je použitie viacerých jadier na jednom čipe, pričom sa rozloží záťaž na viacero jadier a každé jadro musí spracovať menší počet pixelov. Pri spracovaní obrazu rôznym počtom jadier za ten istý čas spracuje procesor s väčším počtom jadier viacnásobne väčší počet pixelov (Obr. 5).



Obr. 5. Spracovanie obrazu rôznym počtom jadier.

Ako z uvedeného grafu vyplýva, tak pri spracovaní obrazu s rovnakým počtom pixelov, procesor so 16 jadrami na jednom čipe spracuje daný obraz za 16x menší počet strojových cyklov (SC). Pri simulácii spracovania digitálneho obrazu pomocou špecializovaného procesora pozostávajúceho zo 16 jadier na jednom čipe sa použil obraz v rozlíšení 256x256, preto celkový počet pixelov určených na spracovanie obrazu je:

$$\text{počet pixelov} = 256 \times 256 = 65536 \quad (2)$$

Pri testovaní uvažujeme o rovnomernom zaťažení jadier a preto pri počte pixelov 65536 na každé jadro pripadne 4096 pixelov. Každý pixel obsahuje informácie o zastúpení červenej (R), zelenej (G) a modrej (B) zložky, pričom v kombinácii predstavujú konkrétny odtieň farby. Jednotlivé informácie o pixeloch sú importované na spracovanie zo súboru, kde sú uložené ako hrubé dáta v poli zodpovedajúce jednotlivým zložkám R-G-B.

Pri spracovaní obrazu v menšom rozlíšení, sa pri rovnomernom rozložení záťaže procesorom Covitor využijú všetky jadra, pričom každé spracováva rovnaký počet pixelov. Pri nerovnomernej záťaži sa využije len niekoľko jadier, medzi ktoré sa rozdelí záťaž a zvyšné jadrá nevykonávajú žiadnu činnosť. Z hľadiska efektivity je vhodnejšie použiť rovnomerné rozdelenie záťaže, keďže je potrebný nižší čas na spracovanie obrazu ako pri nerovnomernej záťaži jadier. Navrhnutý špecializovaný procesor Covitor obsahuje základnú inštrukčnú sadu, ktorú je možné do budúcnosti rozšíriť o ďalšie inštrukcie pre spracovanie obrazu.

7 PRÍNOSY ŠPECIALIZOVANEJ ARCHITEKTÚRY

Prínosy práce je možné hodnotiť z teoretického a praktického hľadiska. Teoretické prínosy prispievajú hlavne k vývoju problematiky viacjadrových procesorov a ich návrhu. Praktické prínosy práce predstavuje návrh a simulácia špecializovanej architektúry pre akceleráciu výpočtov v počítačovom videní. Prínosy práce je možné zhodnotiť v nasledujúcich bodoch:

- Preskúmanie výhod a nevýhod využitia harvardskej a princetonskej architektúry.
 - Uvedený prínos patrí medzi teoretické prínosy práce, pričom na jeho základe sa preukázalo, že pre návrh procesora Covitor je vhodnejšia Harvardská architektúra z dôvodu rýchlejšieho prístupu k dátam a inštrukciám.
- Samostatný návrh špecializovanej architektúry so zameraním na akceleráciu výpočtov v oblasti počítačového videnia
 - Tento prínos je ďalším teoretickým prínosom, pričom návrh architektúry vychádza na základe preukázaných výhod z harvardskej architektúry. Vďaka východiskovej harvardskej architektúre je sprístupňovanie dát a inštrukcií v navrhovanej architektúre rýchlejšie a zabraňuje chybnému načítaniu dát.
- Implementácia a experimentálne overenie navrhutej špecializovanej architektúry procesora Covitor
 - Ide o hlavný praktický prínos, ktorý vychádza z teoretického návrhu architektúry špecializovaného procesora pre akceleráciu výpočtov v oblasti počítačového videnia.
- Preukázanie funkcionality navrhutej architektúry špecializovaného procesora Covitor
 - Na základe uvedenej simulácie a experimentálneho overenia bolo preukázané správne fungovanie navrhutej architektúry, ktorá je zameraná na urýchlenie výpočtov pri

spracovaní obrazu. Akcelerácia výpočtov v oblasti počítačového videnia umožňuje lineárne zvyšovanie výkonu čipu v závislosti od počtu jadier.

- Spracovanie obrazu s využitím špecializovanej architektúry s možnosťou dosiahnutia až 16-násobného urýchlenia
 - Simulácia preukázala, že 16-jadrový procesor Covitor urýchľuje výpočty pri spracovaní záťaže až 16-násobne v závislosti od použitia rovnomerného alebo nerovnomerného rozloženia záťaže.

8 ZÁVER

Realizované simulačné experimenty jednoznačne preukázali funkčnosť navrhutej architektúry, pričom sa preukázala efektívnosť spracovania obrazu z hľadiska urýchlenia výpočtov pri spracovaní obrazu, tak ako bolo navrhnuté.

Využitie viacerých jadier pri spracovaní obrazu umožnilo zrýchlenie výpočtov z hľadiska času v lineárnej závislosti od počtu jadier, pričom je možné dosiahnuť až 16-násobné zrýchlenie za použitia rovnomerného rozloženia záťaže.

Počas simulácie spracovania obrazu procesorom Covitor sa preukázalo, že akcelerácia výpočtov je závislá od spôsobu rozloženia záťaže, pričom rovnomerne rozloženie záťaže je efektívnejšie, keďže umožňuje väčšie zrýchlenie ako nerovnomerné rozloženie záťaže.

Špecializovaná architektúra je obmedzená kapacitou pamäte, z dôvodu zjednodušenia simulácií, avšak do budúcnosti je možné pamäte rozšíriť podľa potrieb. Taktiež je daná architektúra obmedzená len na základné operácie spracovania obrazu, pričom pri zavedení komplikovanejších metód (hľadanie kostry, osem okolie) by boli potrebné rozsiahlejšie úpravy vykonávacej jednotky.

Akcelerácia výpočtov nasadením viacjadrovej architektúry nie je úplne lineárna, keďže pri stálom zvyšovaní počtu jadier dochádza k oneskoreniu z dôvodu času potrebného na komunikáciu medzi jadrami a rozdeľovaním potrebných dát. Pre určenie optimálneho počtu jadier by bolo potrebné urobiť analýzu zaoberajúcu sa oneskorením.

POĎAKOVANIE

Táto práca bola podporovaná Agentúrou na podporu výskumu a vývoja na základe zmluvy č. APVV-0008-10 a KEGA 008TUKE-4/2013 s názvom „Mikrolearningové prostredie pre vzdelávanie odborníkov v oblasti informačnej bezpečnosti“.

9 ZOZNAM POUŽITÝCH ZDROJOV

- [1] AKHTER, S. *Multi-core programming: increasing performance through software multi-threading*. 1. vyd. New York: Intel Press, 2006. ISBN 0-9764832-4-6.
- [2] *IEEE signal processing magazine* [online]. Univ Politecnica de Madrid, 2009 [cit. 2013-02-18]. ISSN 1053-5888. Dostupné z: <http://web.eecs.umich.edu/~blakeg/docs/aSurveyofMulticoreProcessors.pdf>

- [3] PARELEC 2006: International Symposium on Parallel Computing in Electrical Engineering : 13-17 September 2006, Bialystok, Poland. *Multi-Core Processors: New Way to Achieve High System Performance*. 2006, č. 6. DOI: 0-7695-2554-7. Dostupné z: http://www.researchgate.net/publication/220959927_Multi-Core_Processors_New_Way_to_Achieve_High_System_Performance/file/5046351838467bcb9f.pdf
- [4] HENNESSY, John L. *Computer architecture: a quantitative approach* [online]. 4th ed. San Francisco: Morgan Kaufmann, 2007, 1 sv. (různé stránkování) [cit. 2013-06-17]. ISBN 01-237-0490-1. Dostupné z: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.115.1881&rep=rep1&type=pdf>
- [5] HLAVÁČ, Václav a Milan ŠONKA. *Počítačové vidění*. Praha: Grada, 1992, 272 s. ISBN 80-854-2467-3.
- [6] MAJUMDER, Bhabatosh Chanda and Dwijesh Dutta. *Digital image processing and analysis*. Eastern economy ed. New Delhi: Prentice Hall of India, 2005. ISBN 81-203-1618-5.
- [7] KUMAR, R, V ZYUBAN a D. M. TULLSEN. DEPT. OF COMPUT. SCI. & ENG., California Univ., San Diego, CA, USA. *Interconnections in multi-core architectures: understanding mechanisms, overheads and scaling*. 2005. ISBN 0-7695-2270-X. Dostupné z: http://delivery.acm.org/10.1145/1080000/1070004/22700408.pdf?ip=147.232.3.9&acc=ACTIVE%20SERVICE&key=C2716FEBFA981EF1C8BCF1B5A73992B942788D9E9EDFA807&CFID=340527944&CFTOKEN=79067881&_acm_=1371452189_ad37eb69cc49a19d1e50a35e7cc52457
- [8] SPAA 2006: *eighteenth Annual ACM Symposium on Parallelism in Algorithms and Architectures : July 30-August 2, 2006, Cambridge, Massachusetts, USA*. New York: ACM Press, c2006. ISSN 1-59593-452-9. Dostupné z: <http://cseweb.ucsd.edu/users/swanson/papers/SPAA2006WaveScalar.pdf>
- [9] NURMI, J. *Processor design system-on-chip computing for ASICs and FPGAs*. Online-Ausg. Dordrecht: Springer, 2007. ISBN 978-140-2055-300.
- [10] PARKER, J.R. a Kostas Terzidis TECHNICAL EDITOR. *Algorithms for image processing and computer vision*. 2nd ed. Indianapolis, Ind: Wiley Pub, 2010. ISBN 11-180-2188-6.
- [11] GONZALEZ, Rafael C a Richard E WOODS. *Digital image processing*. 3rd ed. Upper Saddle River: Pearson, c2008, xxii, 954 s. ISBN 01-316-8728-X.
- [12] VOKOROKOS, L., B. MADOŠ, A. BALÁŽ a N. ÁDAM. Architecture of multi-core computer with data driven computation model. *Acta Electrotechnica et Informatica*. 2010, s. 20-23.
- [13] VOKOROKOS, L. *Princípy architektúr počítačov riadených tokom údajov*. Košice: elfa, s.r.o., 2008. ISBN 978-80-8086-075-2.
- [14] YOUNG, Roger. *How computers work: processor and main memory*. 2nd ed. S.l.: Roger Young, 2009. ISBN 14-421-1398-7.